

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-293662

(43)Date of publication of application : 21.12.1987

(51)Int.Cl.

H01L 27/04

(21)Application number : 61-137373

(71)Applicant : NEC CORP

(22)Date of filing : 12.06.1986

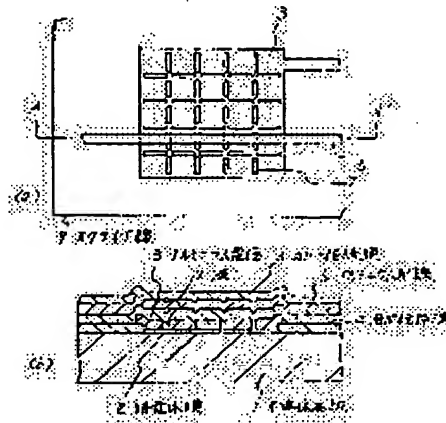
(72)Inventor : MISAKI KOICHIRO  
YUASA TETSUJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To prevent the yield of cracks due to stress accompanied by resin sealing, in an integrated circuit having an MOS capacitor, by forming a plurality of grooves reaching a dielectric film in a metal electrode.

**CONSTITUTION:** On a semiconductor substrate 1, an MOS capacitor comprising the substrate 1, a dielectric film 2 and an aluminum electrode 3 is formed. A second aluminum interconnection layer 5 is formed on an interlayer insulating film 4. A plurality of grooves 7 reaching the dielectric film 2 are formed in the aluminum electrode 3 constituting the MOS capacitor. In this constitution, the strength of the interlayer insulating film 4 can be made relatively large. Therefore, the yield of cracks due to stress accompanied by resin sealing can be prevented, and the disconnection of the metal interconnection on the interlayer insulating film can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭62-293662

⑤ Int.Cl.<sup>4</sup>  
H 01 L 27/04

識別記号 庁内整理番号  
C-7514-5F

④ 公開 昭和62年(1987)12月21日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体集積回路

⑰ 特 願 昭61-137373

⑱ 出 願 昭61(1986)6月12日

⑭ 発 明 者 見 崎 光 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑮ 発 明 者 湯 浅 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑯ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑰ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半導体基板と該半導体基板上に形成された誘電体膜と該誘電体膜上に形成された金属電極からなるMOS型コンデンサと、前記金属電極上に絶縁膜を介して形成された金属配線とを有する半導体集積回路において、前記金属電極には前記誘電体膜に達する複数の溝が形成されていることを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特にMOS型コンデンサを有する半導体集積回路に関する。

(従来の技術)

従来、半導体集積回路(以下単に集積回路とい

う)に含まれるMOS型コンデンサのアルミニウム電極は、1層目のアルミニウムで形成され、2層目のアルミニウム配線は層間膜を介してこのアルミニウム電極上を通っていた。

第2図(a)、(b)は従来の半導体集積回路の平面図及びB-B'線断面図である。

第2図(a)、(b)において1は半導体基板、2は誘導体膜、3はMOS型コンデンサのアルミニウム電極、4は層間絶縁膜、5はアルミニウム配線、6はカバー絶縁膜、9はダイのスクライプ線である。

(発明が解決しようとする問題点)

上述した従来の2層配線構造を有する集積回路が樹脂で封止された場合、様々な集積回路の使用条件、特に熱ストレスをくり返し受ける条件の下では、封止樹脂の伸縮によりカバー絶縁膜6、2層目のアルミニウム配線5、層間絶縁膜4、MOS型コンデンサのアルミニウム電極3の順に大きなストレスを受ける。

ストレスはダイの周辺に行く程大きくなり、そ

め、のストレスによって、ダイ周辺のアルミニウム電極3の周辺、又はその上の層間絶縁膜4にクラック8を生じさせ、そのクラック8を横切るアルミニウム配線5に断線を生じさせ、集積回路の信頼性を低下させるという問題点がある。

本発明の目的は信頼性の向上した半導体集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、半導体基板と半導体基板上に形成された誘電体膜とこの誘電体膜上に形成された金属電極からなるMOS型コンデンサと、前記金属電極上に絶縁膜を介して形成された金属配線とを有する半導体集積回路であって、前記金属電極には前記誘電体膜に達する複数の溝が形成されているものである。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は(a)、(b)は本発明の一実施例の平面図及びA-A'線断面図である。

ることにより、層間絶縁膜上の金属配線の断線をなくした信頼性の高い半導体集積回路が得られる。

図面の簡単な説明

第1図(a)、(b)は本発明の一実施例の平面図及びA-A'線断面図、第2図(a)、(b)は従来の半導体集積回路の一例の平面図及びB-B'線断面図である。

1…半導体基板、2…誘電体膜、3…アルミニウム電極、4…層間絶縁膜、5…アルミニウム配線、6…カバー絶縁膜、7…溝、8…クラック、9…スクライプ線。

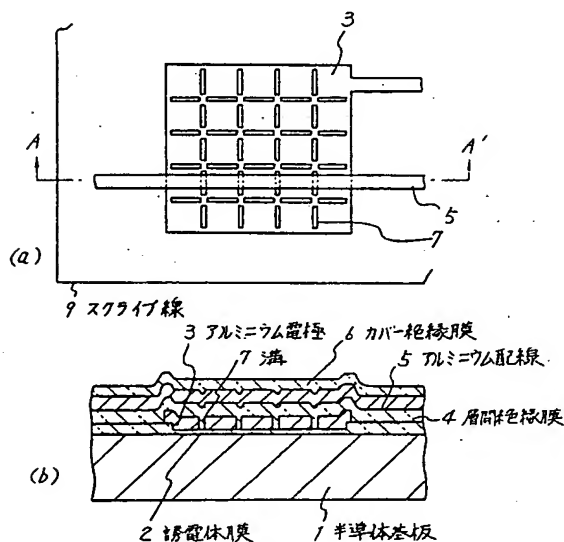
代理人 弁理士 内 原 晋

第1図(a)、(b)において、半導体基板1上には、半導体基板1と誘電体膜2とアルミニウム電極3からなるMOS型コンデンサと、層間絶縁膜4上に2層目のアルミニウム配線5が形成されている。そしてMOS型コンデンサを構成するアルミニウム電極3には、誘電体膜2に達する複数の溝7が形成されている。尚6はカバー絶縁膜である。

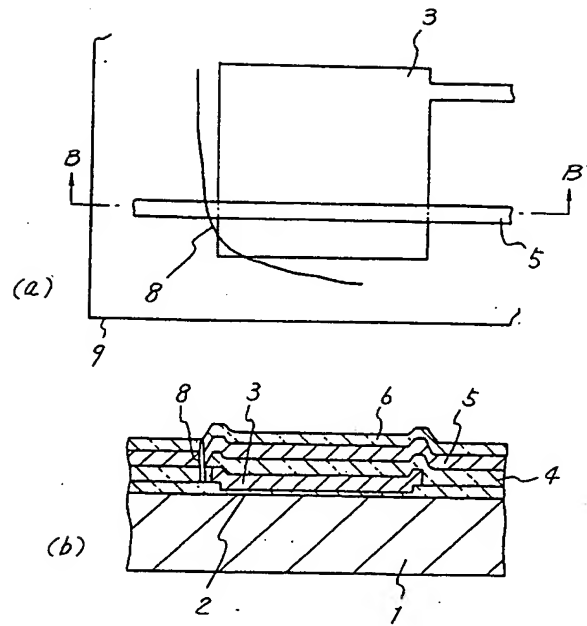
このように構成された本実施例においては、樹脂封止された場合MOS型コンデンサ周辺は大きなストレスを受けるが、アルミニウム電極3に設けられた溝7により層間絶縁膜4は相対的に強化されるため、クラックの発生は抑制される。従ってアルミニウム配線5の断線は極めて少ないものとなる。

〔発明の効果〕

以上説明したように本発明は、MOS型コンデンサを構成する金属電極に複数の溝を設けてその上の層間絶縁膜の耐歪特性を大きくし、樹脂封止に伴うストレスによるクラックの発生を防止す



第1図



第2図